

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030004930 A
(43)Date of publication of application: 15.01.2003

(21)Application number: 1020010040686
(22)Date of filing: 07.07.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: JUNG, U CHAN
LEE, JONG GU

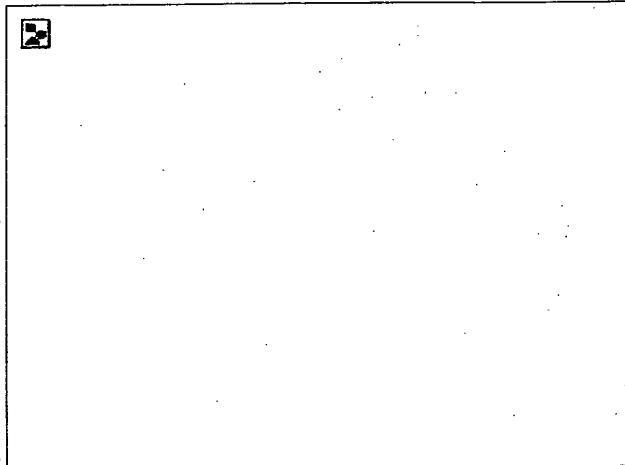
(51)Int. Cl. H01L 21/31

(54) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE AND METHOD FOR FORMING INTERLAYER DIELECTRIC USING HIGH DENSITY PLASMA USED FOR THE SAME

(57) Abstract:

PURPOSE: A method for fabricating a semiconductor device and a method for forming an interlayer dielectric using high density plasma used for the same are provided to prevent generation of a void shape from an intermediate part between gates by using high density plasma.

CONSTITUTION: A trench is formed into a lower portion of a semiconductor substrate(100). An isolation oxide layer(101) is formed by filling the trench with an insulating layer. A gate insulating layer(110) and a plurality of gates(120) are formed between a source(103) and a drain(103). The gate(120) is formed by stacking gate conductive layers(121,123), a mask insulating layer(125), and an insulating layer spacer(127). An interlayer dielectric(130) is formed between the gates(120). A bit line(150) is formed on an upper surface of the interlayer dielectric(130). The second interlayer dielectric(140) is formed on an upper surface of the bit line(150).



COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20030923)

Patent registration number (1004036300000)

Date of registration (20031017)

특2003-0004930

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/31(11) 공개번호 특2003-0004930
(43) 공개일자 2003년04월15일

(21) 출원번호	10-2001-0040686
(22) 출원일자	2001년07월07일
(71) 출원인	삼성전자 주식회사
(72) 발명자	경기도 수원시 팔달구 매탄3동 416번지 정우찬 서울특별시종로구면목3동428-2511동5반 이종구
(74) 대리인	경기도안양시등만구관양동 1587공작력키아파트508동1306호 이영필, 정삼빈

심사청구 : 있음

(54) 반도체 장치의 제조방법 및 그에 사용되는 고밀도플라즈마를 이용한 층간 절연막의 형성방법

요약

본 발명은 반도체 장치의 제조방법 및 그에 사용되는 고밀도 플라즈마를 이용한 절연막의 형성방법에 관한 것이다. 먼저, 반도체 기판 상에 소자분리용 절연막을 형성하고 소자영역에 소정 간격으로 게이트를 형성한다. 게이트가 형성된 반도체 기판 상에 게이트 사이의 공간이 매몰되지 않도록 소정 두께의 제1층간 절연막을 증착한다. 이렇게 형성된 제1층간 절연막을 전면 스퍼터(sputter) 식각을 이용하여 소정 두께만큼 제거한다. 그리고, 제1층간 절연막을 등방성 식각법을 이용하여 부분적으로 제거한 후, 게이트 사이의 공간을 완전히 충전할 수 있도록 상기 제1층간 절연막 상에 제2층간 절연막을 증착 형성한다. 이렇게 반도체 장치의 제조방법에 있어서, 게이트 패턴 상에 층간 절연막 형성시 스퍼터 식각을 포함하면, 게이트 사이의 골이 보이드 없이 완전하게 충전되며, 반도체 장치의 신뢰성을 높일 수 있다.

도표도

도1

발명서

도면의 간단한 설명

도 1은 본 발명에 의한 반도체 장치를 도시한 단면도이다.

도 2, 도 3a, 도 3b, 도 4 내지 도 6은 본 발명에 의한 반도체 장치의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 7a는 본 발명의 층간 절연막을 형성하기 위한 고밀도 플라즈마를 이용한 반도체 제조장치의 개략도이다.

도 7b는 본 발명의 층간 절연막을 형성하는 방법을 나타낸 단위공정 흐름도이다.

도 8은 본 발명의 층간 절연막을 형성하기 위한 증착조건 및 스퍼터 식각조건을 도시한 표이다.

도 9는 도 3b까지의 공정을 진행 후 주사전자현미경(Scanning electron microscope)으로 관찰한 단면사진이다.

도 10은 도 4까지의 공정을 진행 후 주사전자현미경(Scanning electron microscope)으로 관찰한 단면사진이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조방법 및 그에 사용되는 층간 절연막의 형성방법에 관한 것으로서, 특히, 고밀도 플라즈마(High density plasma)를 이용한 층간 절연막 형성방법에 관한 것이다.

반도체 소자가 고도로 고집적화 되면서 소자간의 거리가 점차로 좁아졌다. 따라서, 반도체 장치에서 중요

한 구성요소인 모스 트랜지스터의 게이트 선포도 미세화되면서 게이트간의 거리도 좁아졌다. 게다가, DRAM 등의 고집적화된 반도체 장치에서는 자가정렬에 의한 콘택형성법을 적용하기 때문에 게이트의 높이를 충분히 증가시키면서 상대적으로 게이트 간 너비에 비해서 골의 깊이가 깊어져 절연막에 의한 골의 충전공정이 문제로 대두되고 있다.

이러한 게이트 사이에 형성되는 중간 절연막으로서, 일반적으로 고온에서 유동 충전성이 큰 BPSG(Borophospho-silicate glass)가 사용되어 왔으나, 고집적화된 반도체 제조공정에서는 고온의 공정을 사용할 수 없기 때문에 현재는 고밀도 플라즈마에 의한 중간 절연막으로 대체되어 사용되고 있다. 그리하여, 현재 사용하고 있는 중간 절연막을 충전하는 방법은, 게이트 형성 후 고밀도 플라즈마를 이용한 화학 기상증착법(HDP CVD)으로 실리콘 산화막을 소정 두께 증착하고 습식식각으로 소정 두께의 산화막을 제거하고 나서 다시 HDP CVD로 실리콘 산화막을 형성한다.

그런데, 이러한 중간 절연막 형성방법은, 도 11에 도시된 바와 같이, 게이트 간의 중앙 경계 영역에 기공 형태의 결함으로 나타나는 보이드(Void) 현상을 막을 수 없다. 그리하여, 추후 진행되는 비트라인 등의 막형성 공정에서 보이드(void)를 중심으로 발전되는 물리적인 크랙(crack)이나 반도체 장치의 제조공정 완료 후에 제품이 완성되고 나서 전기적인 소자 특성의 결함 즉, 게이트 라인(gate line)이 단락되어 불량률을 발생시키는 단점이 있다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 반도체 장치의 제조 방법에 있어서, 게이트 형성 후 중간 절연막 형성 시에 게이트 간의 중앙영역에 보이드 형상이 발생하지 않도록 하는 반도체 장치의 제조 방법과 고밀도 플라즈마를 이용한 중간 절연막 형성방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 장치의 제조방법은, 먼저, 반도체 기판 상에 소자분리용 절연막을 형성하고 소자영역에 소정 간격으로 게이트를 형성한다. 게이트가 형성된 반도체 기판 상에 게이트 사이의 공간이 매몰되지 않도록 소정 두께의 제1중간 절연막을 증착하여 형성한다. 그리고 제1중간 절연막을 소정 두께만큼 전면 스퍼터(sputter) 식각하고, 이 제1중간 절연막을 등방성 식각법을 이용하여 소정 두께로 식각하여 제거한다. 그런 다음, 게이트 사이의 공간을 완전히 충전할 수 있도록 제1중간 절연막 상에 제2중간 절연막을 증착 형성한다.

여기서, 반도체 기판의 기지 실리콘에 형성된 소자분리용 절연막은 트렌치 소자분리법에 의해서 형성한다. 그리고, 반도체 기판의 소자영역에 게이트 절연막을 형성하는 단계는, 먼저 소자영역에 게이트 절연막을 형성하고 그 위에 게이트 도전막을 형성한 후, 도전막을 패터닝하여 게이트 패턴을 형성하고 게이트 패턴의 측벽에 스페이스 절연막을 형성하여 완성한다. 한편, 게이트 도전막은, 게이트 도전막 상부에 마스크용 절연막을 더 형성하여 게이트 패턴 형성 후 진행될 콘택 형성시에 자가정렬에 의한 콘택형성이 용이하도록 한다.

제1중간 절연막은 스텝커버리지가 좋고 증착속도가 우수한 실리콘 산화막을 이용하는 것이 바람직하고, 이러한 실리콘 산화막은 고밀도 플라즈마를 이용한 화학기상 증착법(High Density plasma Chemical Vapor Deposition)으로 형성되는 것이 더욱 바람직하다. 이 때, 이 실리콘 산화막은 실리콘 소스가스로서 실렌(SiH₄)을 사용할 수도 있다.

이렇게 제1중간 절연막을 형성한 후 바로 인시튜(in-situ)로 스퍼터 식각을 이용하여 실리콘 산화막을 소정 두께 식각한다. 이러한 스퍼터 식각시에 사용되는 분위기 가스는 헬륨(He) 가스와 산소(O₂) 가스 중 어느 하나를 포함하는 것이 플라즈마의 발생을 용이하게 하고 실리콘 산화막의 충전 특성과 파티클 특성을 양호하게 한다.

이렇게 제1중간 절연막이 형성된 후 습식식각법을 이용하여 반도체 기판 상에 형성된 실리콘 산화막을 소정 제거하여 플라즈마를 이용한 증착공정 중에 발생하는 불규칙 증착물을 제거하고 패턴부분의 프로파일(profile)을 후속 절연막 증착시에 충전이 잘 되도록 라운딩 처리한다.

그런 다음, 다시 제2중간 절연막을 형성하여 게이트 패턴 사이의 골을 완전히 충전시킨다. 이 때 사용되는 중간 절연막은 실리콘 산화막이고, 고밀도 플라즈마를 이용한 화학기상증착법(High density plasma chemical vapor deposition)에 의해서 증착되는 것이 증착속도가 높아 공정시간을 감소시킬 수 있다.

이와 같이, 본 발명에 의한 반도체 장치의 제조방법은, 게이트 패턴 형성 후에 중간 절연막을 형성할 때 먼저 고밀도 플라즈마를 이용하여 실리콘 산화막을 증착하고 인시튜(in-situ)로 헬륨(He) 또는 산소(O₂) 가스를 이용한 스퍼터 식각을 진행함으로써, 중간 절연막에 의한 게이트 간 골의 충전이 보이드(void) 없이 진행될 수 있다. 그리고, 이러한 보이드 없는 반도체 장치는 제품완성 후 물리적 신뢰성과 전기적 안정성이 향상되는 장점이 있다.

한편, 본 발명에 의한 반도체 제조장치에서 패턴에 형성된 반도체 기판 상에 중간 절연막을 형성하기 위해 진행되는 고밀도 플라즈마를 이용한 중간 절연막 형성방법은 다음과 같다.

반도체 기판을 올려놓는 기판 지지대와 기판 지지대의 반도체 기판에 반응가스를 공급하는 가스공급부를 갖는 반응챔버를 포함하는 고밀도 플라즈마용 화학적 기상증착용 반도체 제조장치에 있어서, 먼저, 반응 챔버 내에 소정의 단차를 가진 패턴이 형성되어 있는 반도체 기판을 마련한다. 그런 다음, 반응챔버 내를 저압으로 유지시키면서 반응챔버 내의 반도체 기판 상으로 반응가스를 소정의 유량으로 공급한다. 이렇게 공급된 반응가스를 플라즈마화 시켜 플라즈마화된 반응가스를 반도체 기판에 접촉시켜 중간 절연막인 실리콘 산화막을 형성한다. 그리고, 다시 반응챔버 내로 스퍼터용 분위기 가스를 공급하면서 분위기 가스를 플라즈마화 시킨 후 이를 반도체 기판 표면에 충돌시킴으로써 스퍼터 식각하여, 중간 절연막을 소정 두께 제거한다.

여기서, 증착 단계에서 실리콘 산화막을 형성하기 위해 사용되는 반응가스는 실렌(SiH_4) 가스와 산소(O_2) 가스를 사용하는 것이 바람직하고, 가스 공급량에 있어서, 산소(O_2)가스가 실렌(SiH_4)가스보다 많은 양이 공급되어야 안정된 실리콘 산화막이 형성된다. 이 때, 실렌(SiH_4) 가스는 30 sccm 내지 300 sccm의 유속으로 공급된다. 이러한 반응가스는 반응보조 가스로서 산소(O_2) 가스와 헬륨(He) 가스를 더 포함하는 것이 실리콘 산화막의 양호한 특성을 얻을 수 있다. 이 때, 산소(O_2) 가스는 반응가스 및 반응보조가스로서 50 sccm 내지 500 sccm의 유량으로 공급되며, 헬륨(He) 가스는 50 sccm 내지 1000 sccm의 유량으로 공급된다.

공정이 진행되는 동안, 반응챔버에는 고주파수의 전력(High frequency power)인 라디오파 전력(RF Power)을 500 w 내지 1500 w 크기로 인가해 줌으로써, 반응챔버 내에 공급된 가스들을 플라즈마화시킬 수 있다. 또한, 반응챔버에 100 KHz 내지 1000 KHz의 저주파수의 전력(High frequency power)을 2500 w 내지 3500 w의 세기로 인가하여 고밀도 플라즈마를 형성하기 위한 조건을 강화시킨다.

이 경우에, 고주파수 전력은 상기 기판 지지대에 인가되고, 저주파수 전력은 반응챔버의 상부벽에 인가되고 저주파수의 전력이 고주파수 전력보다 큰 값을 갖는 것이 고밀도 플라즈마 형성에 바람직하다.

스퍼터 식각을 진행하는 단계에서는, 먼저, 스퍼터용 분위기 가스로서 산소(O_2)가스와 헬륨(He) 가스 중 적어도 하나를 포함한다. 이 때, 산소 가스는 0 sccm 내지 500 sccm의 유량으로 공급되고, 헬륨 가스는 0 sccm 내지 1000 sccm의 유량으로 공급된다.

그리고, 반응챔버 내에 고주파수 전력과 저주파수 전력이 동시에 인가되는데, 고주파수 전력은 라디오파 전력(Radio Frequency power)이고 저주파수 전력은 100 KHz 내지 1000 KHz의 주파수를 갖는다.

또한, 고주파수 전력은 기판지지대에 500 w 내지 3000 w의 세기로 인가되고, 저주파수 전력은 반응챔버의 상부벽에 3500 w 내지 5000 w의 세기로 인가되며, 저주파수의 전력이 고주파수의 전력보다 큰 값이 인가된다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

도 1은 본 발명에 따른 반도체 장치의 제조방법에 의해서 제조된 반도체 장치의 단면도이다. 도시된 바와 같이, 본 발명에 따른 반도체 장치에서, 반도체 기판(100) 하부로 소정 깊이 함몰되어 트렌치가 형성되어 있고, 이 트렌치에 절연막이 충전되어 소자분리용 산화막(101)이 형성되어 각 소자간을 분리하고 있고, 소자영역에는 소스(103, source)와 드레인 정션(103, Drain junction)이 소정 간격으로 이격되어 형성되어 있으며, 이들 소스(103)와 드레인(103) 사이에는 반도체 기판(100)의 기저 실리콘과의 사이에 초박막의 게이트 절연막(110)을 개재하고 도전성막을 포함하고 있는 복수의 게이트(120)가 형성되어 있다. 이들 게이트(120) 사이에는 고밀도 플라즈마로 형성된 중간 절연막(130)이 충전되어 있고, 그 위에는 비트 라인(150)이 다시 그 위에는 제2의 중간 절연막(140)이 형성되어 있다. 그리고 도시되지 않았으나 후속으로 진행되는 공정에 의해서 캐패시터(capacitor)를 비롯하여 기타 다른 소자들을 형성할 수 있다.

도 2 내지 도 6은 도 1의 본 발명에 의한 반도체 장치의 제조방법을 순차적으로 나타낸 단면도들이다.

도 2를 참조하면, 반도체 기판(100) 상에 소자분리용 산화막(101)을 형성하고 소자영역에는 게이트(120)를 형성한다. 이 때, 소자분리용 산화막(101)은 트렌치 소자분리법에 의해서 먼저 반도체 기판(100) 상에 트렌치를 형성하고 트렌치 내부에 충진용 절연막으로서 실리콘 산화막을 형성하여 완성한다. 그리고, 이러한 소자분리 공정이 완료된 후 소자가 형성될 소자영역의 기저 실리콘에 초박막의 게이트 절연막(110)을 형성하고, 그 위에 게이트 도전막(121, 123)을 형성하며 추후 진행될 자가정렬 콘택 형성법에 이용하기 위하여 게이트 도전막 상에 마스크용 절연막(125)을 형성한다. 그런 다음, 통상의 사진 식각 공정을 거쳐서 게이트 도전막(121, 123)에 게이트 패턴을 형성한다. 이렇게 형성된 게이트 패턴 상에 화학기상증착법을 이용하여 절연막을 형성하고 건식식각법을 이용한 이방성 식각에 의해서 게이트 패턴의 측벽에 절연막 스페이서(127)를 형성하여 게이트를 완성한다. 한편, 게이트 도전막(121, 123)은 단일의 도전성 물질을 증착하여 형성할 수도 있고, 본 도면에서와 같이, 복수의 도전막이 조합되어 형성될 수도 있다.

도 3a를 참조하면, 게이트(120)가 완성된 반도체 기판(100) 상에 제1중간 절연막(131)을 증착하여 형성한다. 여기서, 제1중간 절연막(131)으로는 실리콘 산화막을 사용하며, 이러한 실리콘 산화막은 게이트(120) 간 간격 크기(a)의 2분의 1 보다 낮은 두께(0.5 a)로 증착된다. 이 때 형성되는 실리콘 산화막은, 고밀도 플라즈마를 이용한 화학기상증착법에 의해서 형성되며, 막형성에 사용되는 실리콘 소스가스로는 실렌(SiH_4) 가스를 사용하며, 산소 소스가스로서 산소(O_2)가스를 헬륨(He)과 혼합하여 사용한다. 또한, 플라즈마를 발생시키기 위한 전력은 고주파수의 전력을 사용한다. 도 9는 전술한 도 3a의 공정까지 진행한 후 반도체 제조장치의 단면을 확인하기 위하여 주사 전자현미경(SEM)으로 관찰한 사진이다.

도 3b를 참조하면, 이렇게 형성된 고밀도 플라즈마 실리콘 산화막을 건식식각법의 하나인 스퍼터링 식각(sputtering etch)으로 일부를 제거한다. 이 때 사용되는 분위기는 분리기 가스로는 전술한 고밀도 플라즈마를 이용한 실리콘 산화막 형성에서 사용했던 가스 중에서 실렌(SiH_4)를 제외하고 산소와 헬륨의 혼합가스를 사용한다. 그리고, 스퍼터링에 의한 식각은 플라즈마화 분위기 가스의 반도체 기판(100) 상에 충돌하는 세기로 식각속도가 강화되기 때문에, 비교적 화학기상증착 때보다도 높은 파워를 사용하게 된다. 그러면, 도면에서 본바와 같이, 게이트(120)를 중심으로 중앙은 첨예한 산모양의 피치를 형성하는 중간 절연막(131)의 형상을 얻을 수 있다. 즉, 게이트(120) 중앙으로부터 게이트(120) 간의 골 사이에 형성된 중간 절연막(131)의 측벽 기울기가 현저히 완만해져 증착공정에서 일반적으로 발생하기 쉬운 역기울기(reverse slope)를 가진 오버행(overhang) 현상이 없어진다. 그리하여 후속되는 제2 중간 절연막(도 5의 133) 형성공정을 진행할 때, 게이트(120)들 간의 골 부분에서 발생하기 쉬운 오버행(overhang) 현상에 의한 보이드(void)의 발생을 억제할 수 있다. 도 10은 도 3b까지의 공정을 완료한 후에 반도체 제조장치의 단면을 확

인하기 위하여 주사전자현미경(SEM)으로 관찰한 사진이다.

도 4를 참조하면, 습식식각을 이용하여, 층간 절연막(131)을 등방성 식각하여, 전 공정에서 진행된 스퍼터 식각시에 불균일한 식각부위의 실리콘 산화막을 제거하여, 층간 절연막(131)의 형태를 부드럽게 정리한다. 그러면, 산모양의 피치를 형성하던 층간 절연막(131)의 형태는 비교적 둥그렇게 정리되어 후속되는 제2 층간 절연막(133) 형성시에 게이트(120)간의 갭충진(Gap filling)이 용이하도록 한다.

도 5를 참조하면, 반도체 기판(100) 상에 다시 제2층간 절연막(133)을 고밀도 플라즈마를 이용한 화학기상증착법(HDP CVD)으로 형성한다. 이 때, 제2층간 절연막(133)은 역시 제1층간 절연막(131)과 같은 실리콘 산화막이며, 사용되는 소스가스는 역시 실렌(SiH_4)와 산소(O_2)가스이며, 캐리어 가스(carrier gas)로서 헬륨(He)을 사용한다. 그러면, 도식된 바와 같이, 게이트(120) 간에 형성된 골(gap)이 보이드(void) 없이 완전히 충전된다. 이렇게 하여 제1층간 절연막(131)과 제2층간 절연막(133)으로 형성된 층간절연막(130)이 완성된다.

도 6을 참조하면, 통상의 반도체 제조공정에 의해서, 전술한 제2층간 절연막(133) 상에 형성된 골곡과 단차를 없애고 평탄화하기 위해서 화학적 기계연마법(Chemical mechanical polishing)을 이용하여, 층간 절연막(130)을 평탄하게 연마해 낸다. 그런 다음, 본 실시예와 같이 DRAM(Dynamic Random Access Memory) 공정의 경우에는 비트라인(도 1의 150, Bitline) 형성공정을 진행하여 비트 라인(Bitline)을 형성하고, 제품의 특성에 맞게 후속공정을 진행하여 반도체 장치의 제조공정을 완료한다.

도 7a는 본 발명의 고밀도 플라즈마를 이용한 절연막을 형성하기 위한 반도체 제조장치의 개략도이고, 도 7b는 본 발명에 의한 고밀도 플라즈마를 이용한 제1층간 절연막의 형성방법을 나타낸 단위 공정 흐름도이며, 도 8은 도 7b의 고밀도 플라즈마를 이용한 절연막 형성방법 중 제1단계인 실리콘 산화막 형성공정 조건과, 2단계인 스퍼터 식각 공정 조건을 나타낸 테이블이다. 여기서는 공정에서 가장 중요한 반응가스와 그의 공급량 및 반응기 내에 인가해 주는 고주파수 전력(예를 들어, RF(radio frequency) 파워)에 대해서만 설명한다.

도 7a를 참조하면, 고밀도 플라즈마를 이용한 반도체 제조장치는 반도체 기판(100)을 올려놓을 수 있는 기판지지대(101)를 갖는 반응챔버(10)와, 이 기판 지지대(101)와 대응하여 반응챔버(10) 내의 일측에 마련된 가스공급부(103, 예를 들면, 인젝터 injector 나 샤워헤드 shower head)와, 반응챔버(10)에 교류 주파수를 가진 전력을 인가하는 교류 주파수전력 발생기(20)를 포함하고 있다. 이 때 교류주파수전력 발생기(20)는 복수의 주파수를 가진 주파수 발생기를 포함하는데, 하나는 고주파수 발생기이고 하나는 저주파수 발생기이다. 이때, 고주파수 발생기는 라디오파를 발생하는 RF 발생기(Radio Frequency generator)이다.

한편, 반응챔버(10)의 외부에는 가스공급부(103)에 반응가스와 분위기가스를 공급해주는 가스공급장치(30)가 마련되어 있고, 반응챔버(10)의 일측에는 반응챔버(10)의 내부 압력을 저압으로 유지시킬 수 있도록 진공펌프를 포함하는 진공장치(40)가 연결되어 있다.

도 7b는 본 발명에 의한 고밀도 플라즈마(High density plasma)를 이용한 반도체 제조장치에서 절연막 형성방법을 나타낸 공정 흐름도이다. 이를 참조하면, 크게 3단계로 구성되어 있다. 즉, 소정의 단차를 가진 패턴이 형성된 반도체 기판(도 7a의 100)을 반응챔버(도 7a의 10) 내에 준비하는 단계(s1)와, 고밀도 플라즈마를 발생시켜 반도체 기판(100) 상에 절연막을 형성하는 단계(s2)와, 이렇게 반도체 기판(100) 상에 형성된 절연막을 스퍼터 식각(sputtering etch)하여 일부를 제거하는 단계(s3)로 구성되어 있다.

반도체 기판을 준비하는 단계(s1)에서는, 먼저 게이트 패턴과 같은 소정의 단차와 골곡을 형성하는 패턴을 가진 반도체 기판(100)을 반도체 제조장치의 반응챔버(10) 내에 위치시킨다. 그리고 반응챔버(10) 내부로 공정이 진행될 수 있도록 적절한 조건으로 분위기를 조성하여 공정을 준비한다. 이러한 분위기 조건에는 압력과 온도 및 분위기 가스등이 포함된다. 즉, 압력은 저압으로 유지하고, 온도는 상온이나 혹은 경우에 따라서 고온으로 유지하며, 분위기 가스는 N_2 , Ar 등과 같은 불활성가스로서 반응기 내의 압력과 온도를 균일하게 유지시키는데 중요한 역할을 한다.

그런 다음, 고밀도 플라즈마를 이용하여 절연막을 형성하는 단계(s2)에서는, 반응챔버(도 7a의 10) 내부에 소정량으로 증착 공정에 필요한 반응가스 가스들을 공급한다. 여기서 반응가스들은 실리콘 산화막(SiO_2)의 소스가스가 되는 실렌(SiH_4)과 산소(O_2) 및 이들 가스를 운반하는 역할을 하며 플라즈마 발생을 강화시킬 수 있는 보조가스로서 헬륨(He) 등의 불활성기체가 포함된다. 이렇게 반응가스들이 공급되면서 반응챔버 내에는 소정의 고주파수를 가진 전력(Radio frequency electric power)이 인가된다. 그리하여 반응챔버 내에는 글로벌 방전(global discharge)에 의해서 반응가스들이 전하를 띤 플라즈마로 변형되면서 반도체 기판 상에 플라즈마 영역을 발생시킨다. 그러면, 이들 플라즈마화된 반응가스들은 반도체 기판 상으로 이동되어 반도체 기판 표면 상에서 플라즈마들 사이에 상호 화학반응($\text{Si} + \text{O} + \text{O}$)을 일으키면서 증착되어 실리콘 산화막(SiO_2)을 형성한다. 이렇게 증착되는 고밀도 플라즈마에 의한 산화막 형성 공정은 증착속도가 매우 빠르면서 상대적으로 스텝커버리지(step coverage)가 좋은 장점이 있다. 그러나, 소정의 단차가 있는 패턴에서는 패턴의 골의 입구에 증착이 더 빨리 진행되어 오버행 현상(overhang)이 발생한다. 따라서, 골이 충전되지 않을 정도의 두께인 골사이의 거리의 1/20이하의 두께로 증착한다.

이렇게 반도체 기판 상에 절연막 증착공정이 완료되면, 스퍼터 식각을 하여 패턴의 골입구에 형성되기 쉬운 절연막(실리콘 산화막)을 제거한다(s3). 이러한 스퍼터 식각은 타 반응챔버에서 실행할 수도 있고, 동일 반응챔버 내에서 공급되는 반응가스와 공정조건만을 변화시켜 인시튜(in-situ)로 진행할 수도 있다. 이 때, 사용되는 반응가스로는 스퍼터용 플라즈마를 발생시킬 수 있는 가스를 사용하는데, 즉, 산소(O_2) 가스와 헬륨(He)을 혼합하여 반응기 내로 공급한다. 이렇게 스퍼터용 가스를 공급하면서 동시에 반응챔버에 RF(radio frequency) 전력과 함께 저주파수의 전력을 걸어주어 반응챔버 내에 글로벌 방전(global discharge)이 발생하도록 한다. 그러면 이러한 글로벌 방전에 의해서 스퍼터용 가스의 헬륨과 산소가 활성화되어 전하를 띤 플라즈마 형태로 변형되고, 반도체 기판 상부에 플라즈마 영역이 형성된다. 이렇게 플라즈마화된 스퍼터용 가스는 반도체 기판 쪽으로 가속되어 실리콘 산화막과 충돌하는 이온 충돌(Ion

bombardment)에 의해서 반도체 기판 표면에 증착되어 실리콘 산화막을 구성하는 산화실리콘 분자(SiO_2)는 실리콘 원자(Si)와 산소 원자(O)로 결합이 깨어지면서 반도체 기판으로부터 분리가 되고 일부는 전자를 받아 이온화되며, 스퍼터 방식의 식각이 진행된다. 이러한 스퍼터 식각은 식각의 이방성(anisotropic etch)이 강하기 때문에 이온 진행방향에 대해서 수직으로 드러나는 부분의 식각이 가장 빠르고 패턴을 사 이에 형성된 골의 입구 모서리부분에 상대적으로 결합력이 취약한 실리콘 산화막이 비교적 많이 식각되는 경향이 있다. 그리고, 이온 충돌에 의해서 분리된 실리콘 원자(Si)는 다시 플라즈마화된 산소들과 결합하여 패턴의 골 사이에서 증착되는 재증착 현상(redosition)이 발생하기도 한다.

그리하여 스퍼터 식각(sputtering etch)이 완료된 후, 도 3b 및 도 9의 주사현미경 사진에서 본 바와 같이, 패턴을 중심으로 삼각형의 산모양으로 식각된다. 이러한 형태의 식각은 추후 패턴의 골을 형성하기 위해서 추가로 제2층간 절연막(일반적으로 고밀도 플라즈마를 이용한 실리콘 산화막)을 증착할 때, 골 입구부분에 실리콘 산소 가스들이 집중되어 증착이 빨라지면서 발생하는 오버행 현상(overhang)을 방지할 수 있어, 추후 제2층간 절연막 증진 후 보이드 결함(Void defect)을 방지할 수 있다.

도 8을 참조하면, 사용되는 반응가스는 실리콘 산화막 형성 공정의 경우, 실렌(SiH_4)과 산소(O_2) 및 헬륨(He)이고, 스퍼터 식각의 경우 산소와 헬륨을 사용한다. 여기서, 헬륨(He)은 증착 반응이나 식각 반응에서 직접적으로 참여하지는 않지만, 반응가스들을 반응챔버 내로 운반하는 캐리어 가스 역할을 하고 반응기 내에서는 글로벌 방전시 주변의 반응가스들과 전자를 주고받으면서 플라즈마화 되어 이동하면서 충돌 횟수를 증가시킴으로써, 고밀도의 플라즈마를 형성하는 데 중요한 매개적 역할을 한다. 그리하여, 실리콘 산화막을 형성할 경우에는 실렌(SiH_4) 및 산소(O_2)를 플라즈마화시켜 고밀도의 플라즈마를 형성하고, 이러한 고밀도의 플라즈마에 의해서 증착 속도가 아주 높은 공정을 성취할 수 있다. 이들 반응 가스들의 공급량은 증착속도와 관계가 있어 매우 민감하게 조절해야 한다. 즉, 본 발명의 경우, 실렌(SiH_4)을 30 sccm 내지 300 sccm의 유량으로 공급하며, 산소(O_2) 가스의 경우 50 sccm 내지 500 sccm의 유량으로 공급하는데 실렌(SiH_4)의 공급량보다 많은 비율로 공급한다. 그리고, 캐리어 가스인 헬륨(He)의 경우에는, 유량이 50 sccm 내지 1000 sccm으로서 전술한 반응가스들을 운반할 수 있을 정도로 충분한 양을 공급한다.

이 때, 반응챔버(도 7a의 10)에는 전술한 반응가스들을 플라즈마화 시키기 위해서는 소정 주파수의 전력(예를 들어, Radio Frequency power)을 인가해 주어야 하는데, 그 방법은 반도체 기판(100)을 중심으로 반도체 기판을 지지하고 있는 하부의 기판지지대(도 7a의 101)에는 고주파수 전력(High Frequency power)을 인가해 주고, 반도체 기판(100)과 대응하여 상부에 위치한 반응챔버(도 7a의 10)의 상부벽(도 7a의 10a)에는 저주파수 전력(Low Frequency power)을 인가한다. 즉, 기판 지지대(101)에는 13.56 MHz의 라디오파 전력(Radio Frequency Power)이 인가되고, 이와 대응되는 타측으로서 반응챔버(10)의 상부벽(도 7a의 10a)에는 비교적 저주파수인 100 KHz 내지 1000 KHz의 주파수를 갖는 전력을 인가한다. 그 전력의 크기는 반응챔버(10)의 상부벽에 걸리는 저주파수 전력(LF power)의 경우 2500 W 내지 3500 W이고, 기판 지지대(도 7a의 101)에 인가되는 고주파수 전력(HF power)의 경우에는 500 W 내지 1500 W로서 저주파수 전력이 고주파수 전력보다 전력의 세기보다 더 크다.

스퍼터 식각(sputter etch)의 경우에는 산소(O_2) 가스를 소량 공급하여 플라즈마화 시키면서 역시 자신도 플라즈마화되어 전체적으로 고농도의 이온화된 입자들을 발생시켜, 이들 고밀도 이온화된 입자들은 플라즈마 영역 내에서 발생하는 반도체 기판의 전위차(DC drop)에 의해서 가속되어 반도체 기판 상의 실리콘 산화막과 충돌하게 된다. 그리하여 식각속도가 현저히 높은 스퍼터링 식각을 달성할 수 있다. 이 때, 공급되는 스퍼터 가스의 공급량은 산소(O_2) 가스의 경우에는 0 sccm 내지 500 sccm이고, 헬륨(He) 가스의 경우에는 0 sccm 내지 1000 sccm으로서 산소(O_2) 가스의 공급량에 따라 헬륨(He) 가스 공급량도 가변적으로 공급된다. 여기서, 스퍼터용으로 사용되는 산소가스와 헬륨가스는 각각 단독으로 사용할 수도 있고, 혼합하여 사용할 수도 있다. 그러나, 고밀도 플라즈마를 이용한 실리콘 산화막 형성시에 일반적으로 나타나는 버블문제는 산소가스를 함유함으로써 해결할 수 있으나 산소가스는 반응 중에 파티클(particle)을 발생시키는 단점이 있고, 반대로 헬륨가스는 공정반응 중에 파티클의 문제는 해결할 수 있으나 버블(bubble) 문제를 해결할 수 없어 통상 헬륨가스와 산소가스를 적당한 비율로 혼합하여 사용하는 것이 바람직하다. 또한, 헬륨가스만으로도 스퍼터 식각 공정을 진행할 경우에는, 스퍼터 식각 도중에 산소 원자(O)와 실리콘 원자(Si)의 재결합에 의한 실리콘 산화막 재증착 현상은 동반하지 않고 순수하게 스퍼터 식각 반응만이 진행된다. 스퍼터 식각에서는 이온입자의 충돌빈도에 의해서 식각속도가 의존하기 때문에 고주파수 및 저주파수 전력(HF 및 LF power)은 실리콘 산화막을 형성할 때보다 높은 전력을 인가한다. 즉, 저주파수(LF power) 전력은, 3500 W 내지 5000 W 이고, 고주파수 전력(HF power)의 경우에는 2000 W 내지 3000 W 정도이다.

이상과 같이, 본 발명에 따른 반도체 장치의 제조방법은, 게이트 패턴 사이와 같이 패턴간에 단차가 높은 골이 형성되는 부분에 층간 절연막을 채울 때, 고밀도 플라즈마를 이용하는 절연막 형성단계 후, 인시튜(in-situ)로 스퍼터 식각 단계를 포함함으로써, 게이트 사이에 형성된 골을 보이드 없이 충전할 수 있어 공정안정성을 확보할 수 있다.

그리고, 반도체 장치 내에 특히 MOS 트랜지스터(MOS Transistor)의 중요한 요소인 게이트(Gate) 패턴간에 입체 결합인 보이드(void defect)가 형성되지 않으므로, 반도체 장치의 물리적인 신뢰성과 전기적 신뢰성을 크게 향상시킬 수 있다.

한편, 이와 같은 본 발명은, 게이트 사이를 충전하는 절연막으로서, 실리콘 산화막을 사용하고 있지만, 실리콘 산화막 이외에도 다른 막질, 예를 들어, 실리콘 질화막(Silicon nitride)이나 실리콘 질소산화막(oxynitride) 같은 막을 적용할 수도 있다. 그럴 경우에는 습식식각의 경우에 적용되는 식각용액이 달라져, 실리콘 질화막을 식각할 수 있는 인산(H_3PO_4)와 같은 화학용액을 사용하여야 한다.

그리고, 본 발명의 고밀도 플라즈마를 이용한 절연막 형성방법은 게이트 패턴과 같이 일정 간격으로 골(gap)을 형성하는 다른 패턴, 예를 들어 비트라인 패턴이나 금속배선 패턴에서도 단차 충전용 절연막으로서 충분히 사용될 수 있다.

또한, 상기와 같은 본 발명은 고밀도 플라즈마를 발생하는 방법으로 라디오파 이외에 헬리콘 소스(Helicon source)나 ECR(Electron cyclotron resonance) 등을 사용할 수도 있다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 장치의 제조 방법은, 게이트 패턴을 형성하고 난 후에 고밀도 플라즈마를 이용한 층간 절연막을 형성하고 즉시 건식식각인 스퍼터 식각(sputter etch)으로 소정 두께 절연막을 식각제거하고 이후 패턴사이에 형성된 공의 나머지를 고밀도 플라즈마를 이용한 층간 절연막을 증진함으로써, 패턴 사이의 공을 보이드 결함(void defect)없이 용이하게 증진할 수 있다.

그리고, 본 발명의 고밀도 플라즈마를 이용한 절연막 형성방법에 따르면, 반도체 장치의 게이트 사이의 층간 절연막 내부에 입체결합인 보이드(void)가 형성되지 않기 때문에, 크랙(crack)과 같은 치명적인 결함을 발견시킬 가능성이 적어 물리적으로 신뢰성 있고 전기적으로도 안전한 반도체 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

- 반도체 기판 상에 소자분리용 절연막을 형성하고 소자영역에 소정 간격으로 게이트를 형성하는 단계;
- 상기 게이트가 형성된 반도체 기판 상에 상기 게이트 사이의 공간이 매몰되지 않도록 소정 두께의 제1 층간 절연막을 증착하는 단계;
- 상기 제1층간 절연막을 소정 두께만큼 전면 스퍼터(sputter) 식각하는 단계;
- 상기 제1층간 절연막을 등방성 식각법을 이용하여 부분적으로 제거하는 단계; 및
- 상기 게이트 사이의 공간을 완전히 증진할 수 있도록 상기 제1층간 절연막 상에 제2층간 절연막을 증착 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 2

제1항에 있어서, a) 단계는,

상기 반도체 기판의 기지 실리콘에 상기 트랜치 소자분리법에 의해서 소자분리용 절연막을 형성하는 단계;

상기 반도체 기판의 소자영역에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 도전막을 형성하는 단계;

상기 도전막을 패터닝하여 게이트 패턴을 형성하는 단계; 및

상기 게이트 패턴의 측벽에 스페이서 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3

제2항에 있어서, 상기 게이트 도전막을 형성하는 단계는 상기 게이트 도전막 상에 마스크용 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 4

제1항에 있어서, 상기 b) 단계의 층간 절연막은 고밀도 플라즈마를 이용한 화학기상 증착법(High Density Plasma Chemical Vapor Deposition)으로 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 5

제4항에 있어서, 상기 층간 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 6

제5항에 있어서,

상기 실리콘 산화막은 실리콘 소스 가스가 실렌(SiH_4)인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 7

제1항에 있어서, c) 단계는, 상기 제1층간 절연막의 형성과 동시에 동일 반응챔버 내에서 인시튜(in-situ)로 진행되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8

제7항에 있어서,

상기 스퍼터 시각시 사용되는 분위기 가스는 헬륨과 산소 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9

제1항에 있어서, d) 단계는 습식식각법을 이용하여 진행하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 10

제1항에 있어서, 상기 e) 단계에서,

상기 층간 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 층간 제조방법.

청구항 11

제10항에 있어서, 상기 실리콘 산화막은 고밀도 플라즈마를 이용한 화학기상증착법(High density plasma chemical vapor deposition)에 의해서 증착되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 12

반도체 기판을 올려놓는 기판 지지대와 상기 기판 지지대의 상기 반도체 기판에 반응가스를 공급하는 가스공급부를 갖는 반응챔버를 포함하는 고밀도 플라즈마용 화학적 기상증착용 반도체 제조장치에 있어서,

상기 반응챔버 내에 소정의 단차를 가진 패턴이 형성되어 있는 반도체 기판을 마련하는 단계;

a) 상기 반응챔버 내를 저압으로 유지시키면서 상기 반응챔버 내의 반도체 기판 상으로 반응가스를 공급하는 단계;

b) 상기 반응가스를 플라즈마화 시키고, 상기 플라즈마화된 반응가스를 반도체 기판에 접촉시켜 층간 절연막을 형성시키는 단계;

c) 반응챔버 내로 스퍼터용 분위기 가스를 공급하는 단계;

d) 상기 분위기 가스를 플라즈마화 시킨 후 이를 반도체 기판 표면에 충돌시켜 스퍼터 식각하여 상기 층간 절연막을 소정 두께 제거하는 단계를 포함하는 것을 특징으로 하는 고밀도 플라즈마에 의한 층간 절연막 형성방법.

청구항 13

제12항에 있어서,

상기 반응가스는 실렌(SiH_4) 가스와 산소(O_2) 가스를 포함하는 것을 특징으로 하는 고밀도 플라즈마에 의한 절연막 형성방법.

청구항 14

제13항에 있어서,

상기 산소(O_2) 가스는 상기 실렌(SiH_4) 가스보다 더 많은 양이 공급되는 것을 특징으로 하는 고밀도 플라즈마에 의한 층간 절연막 형성방법.

청구항 15

제13항에 있어서,

상기 실렌(SiH_4) 가스는 30 sccm 내지 300 sccm의 유속으로 공급되는 것을 특징으로 하는 고밀도 플라즈마에 의한 층간 절연막 형성방법.

청구항 16

제13항에 있어서,

상기 반응가스는 반응보조 가스로서 산소 가스와 헬륨 가스를 더 포함하는 것을 특징으로 하는 고밀도 플라즈마를 이용한 층간 절연막 형성방법.

청구항 17

제13항에 있어서, 상기 산소(O_2) 가스는 50 sccm 내지 500 sccm의 유량으로 공급되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 층간 절연막 형성방법.

청구항 18

제13항에 있어서, 상기 헬륨(He) 가스는 50 sccm 내지 1000 sccm의 유량으로 공급되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 층간 절연막 형성방법.

청구항 19

제12항에 있어서, b) 단계는,

상기 반응챔버에 고주파수의 전력(High frequency power)을 인가하는 단계를 포함하는 것을 특징으로 하는 고밀도 플라즈마를 이용한 층간 절연막 형성방법.

청구항 20

제19항에 있어서, 상기 반응챔버에 저주파수의 전력(High frequency power)이 더 인가되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 층간 절연막 형성방법.

청구항 21

제20항에 있어서, 상기 저주파수 전력(High frequency power)은 상기 고주파수 전력보다 더 큰 값으로 인가되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 22

제19항에 있어서, 상기 고주파수 전력은 라디오파 전력(Radio Frequency power)인 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 23

제21항에 있어서, 상기 고주파수 전력은 상기 기판 지지대에 인가되고, 상기 저주파수 전력은 상기 반응 챔버의 상부벽에 인가되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 24

제23항에 있어서,

상기 저주파수 전력은 2500 w 내지 3500 w 인 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 25

제23항에 있어서,

상기 고주파수 전력은 500 w 내지 1500 w 인 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 26

제12항에서, 상기 중간 절연막은 실리콘 산화막(SiO₂)인 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 27

제12항에 있어서, 상기 c)단계에서, 상기 스퍼터용 분위기 가스는 산소(O₂)가스와 헬륨(He) 가스 중 적어도 하나를 포함하는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 28

제27항에 있어서,

상기 산소 가스는 0 sccm 내지 500 sccm 의 유량으로 공급되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 29

제27항에 있어서,

상기 헬륨 가스는 0 sccm 내지 1000 sccm 의 유량으로 공급되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 30

제12항에 있어서, 상기 d) 단계는,

반응챔버 내에 고주파수 전력과 저주파수 전력이 동시에 인가되는 단계를 포함하는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 31

제30항에 있어서, 상기 고주파수 전력은 라디오파 전력(Radio Frequency power)인 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 32

제30항에 있어서, 상기 저주파수 전력의 주파수는 100 KHz 내지 1000 KHz인 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 33

제30항에 있어서, 상기 고주파수 전력은 상기 기판지지대에 인가되고, 상기 저주파수 전력은 반응챔버의 상부벽에 인가되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 34

제33항에 있어서,

상기 저주파수 전력은 상기 고주파수 전력보다 큰 값으로 인가되는 것을 특징으로 하는 고밀도 플라즈마를 이용한 중간 절연막 형성방법.

청구항 35

제 33항에 있어서,

상기 저주파수 전력은 3500 w 내지 5000 w로 인가되는 것을 특징으로 하는 고밀도 플라스마를 이용한 층간 절연막 형성방법.

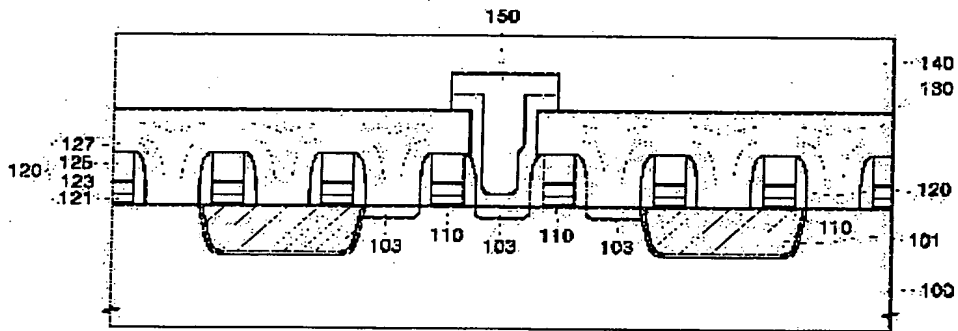
청구항 36

제 33항에 있어서,

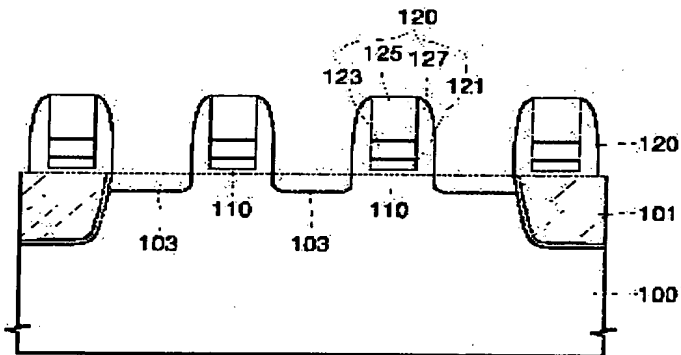
상기 고주파수 전력은 500 w 내지 3000 w로 인가되는 것을 특징으로 하는 고밀도 플라스마를 이용한 층간 절연막 형성방법.

도면

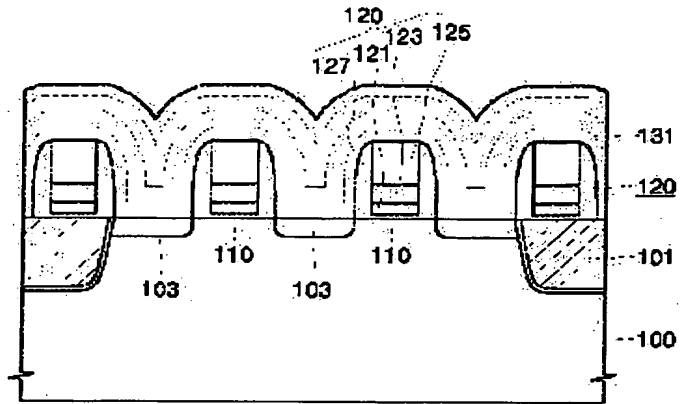
도면1



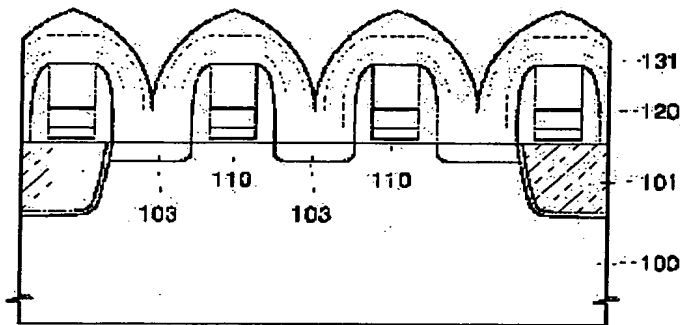
도면2



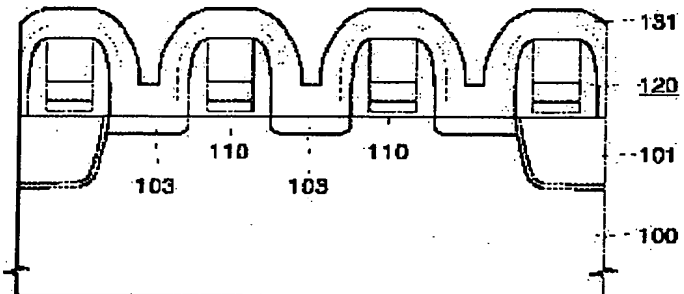
도 3a



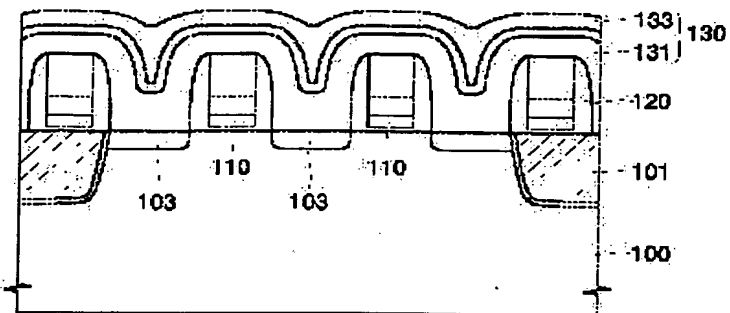
도 3b



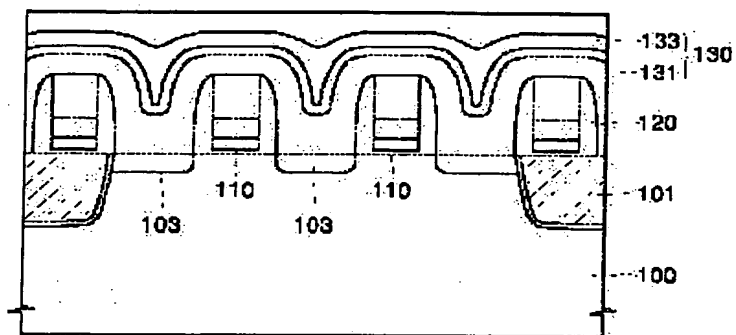
도 4



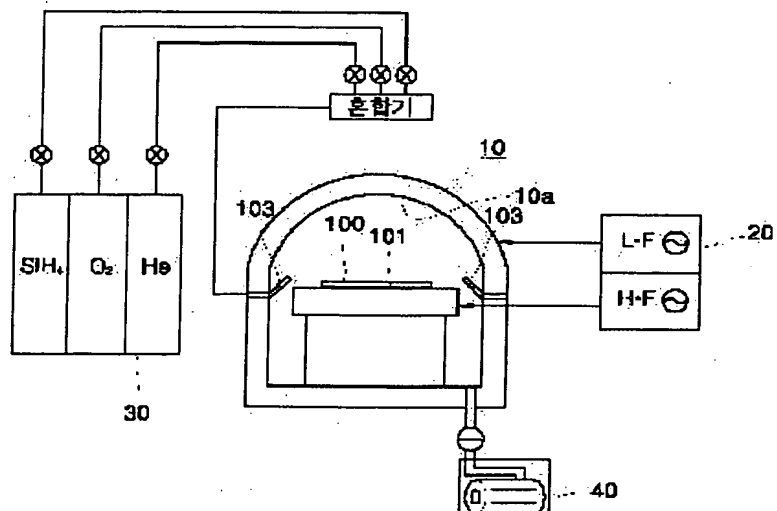
도 5



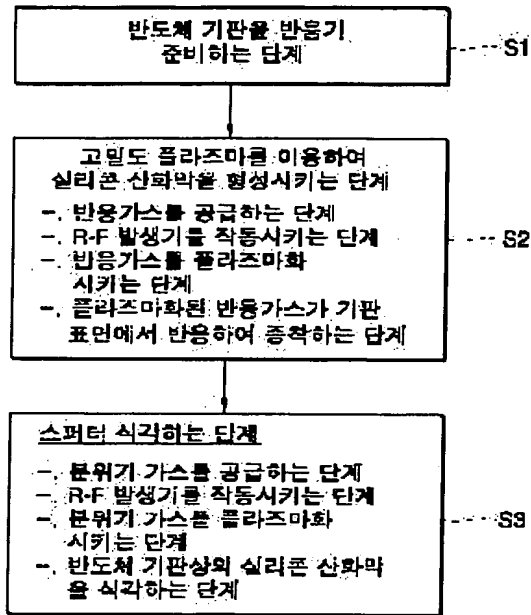
도 6



도 7a



도면7b



도면8

구분	공정 단계	1. 단계 (산화막 증착 단계)		2. 단계 (스퍼터 식각 단계)
		사용 가스 (sccm)	조건	조건
사용 가스 (sccm)	SiH ₄	30 ~ 300		0
	O ₂	50 ~ 500		0 ~ 500 sccm
	He	50 ~ 1000		0 ~ 1000 sccm
파워 (W)	H-F	500 ~ 1500		500 ~ 3000
	L-F	2500 ~ 3500		3000 ~ 5000

BEST AVAILABLE COPY

EB9



EB10



5011

BEST AVAILABLE COPY

